

INTERNATIONAL STANDARD

NORME INTERNATIONALE



EMC IC modelling –

Part 6: Models of integrated circuits for pulse immunity behavioural simulation – Conducted pulse immunity modelling (ICIM-CPI)

Modèles de circuits intégrés pour la CEM –

Partie 6: Modèles de circuits intégrés pour la simulation du comportement d'immunité aux impulsions – Modélisation de l'immunité aux impulsions conduites (ICIM-CPI)

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.200

ISBN 978-2-8322-8813-9

Warning! Make sure that you obtained this publication from an authorized distributor. Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.
--

CONTENTS

FOREWORD	5
1 Scope	7
2 Normative references	7
3 Terms, definitions, abbreviated terms and conventions	8
3.1 Terms and definitions	8
3.2 Abbreviated terms	11
3.3 Conventions	11
4 Philosophy	11
5 ICIM-CPI model structure	12
5.1 General	12
5.2 PPN	14
5.2.1 Typical structure of a PPN	14
5.2.2 PDN description	15
5.2.3 NLB description	16
5.3 FB description	16
6 CPIML format	18
6.1 General	18
6.2 CPIML structure	19
6.3 Global elements	20
6.4 Header section	20
6.5 Lead_definitions section	20
6.6 Macromodels section	21
6.7 Validity section	22
6.8 PDN	22
6.9 NLB	22
6.9.1 General	22
6.9.2 Attribute definitions	23
6.9.3 Data description	24
6.10 FB	25
6.10.1 General	25
6.10.2 Attribute definitions	26
6.10.3 Data description	30
Annex A (informative) Extraction of model components	34
A.1 General	34
A.2 PPN description	34
A.3 PDN Extraction	34
A.3.1 General	34
A.3.2 S/Z/Y-parameter measurement	34
A.3.3 Conventional one-port method	35
A.3.4 Two-port method for low impedance measurement	35
A.3.5 Two-port method for high impedance measurement	36
A.4 NLB extraction	36
A.4.1 General	36
A.4.2 TLP test method	37
A.5 FB extraction	39
A.5.1 General	39

A.5.2	Example of FB data in case of test criteria type = Class E_IC	39
A.5.3	Example of FB data in case of test criteria type = Class C_IC	41
Annex B (informative)	NLB implementation techniques in a circuit simulator	42
B.1	General	42
B.2	NLB modelling based on a R/I table	42
B.3	NLB modelling based on a switch based model	42
B.4	NLB modelling based on physical device model	43
Annex C (informative)	Example of ICIM-CPI model	45
C.1	General	45
C.2	Example of Power switch ICIM-CPI model	45
C.2.1	General	45
C.2.2	CPI model	45
C.2.3	ICIM-CPI model use	48
C.3	Example of 32-bit microcontroller ICIM-CPI model	50
C.3.1	General	50
C.3.2	CPI model	51
Bibliography		54
Figure 1	– Structure of the ICIM-CPI model	13
Figure 2	– Example of an ICIM-CPI model of an electronic board	14
Figure 3	– Structure of a typical PPN	15
Figure 4	– Characteristics of a voltage pulse entering the DI during a TLP test	17
Figure 5	– Example of defect monitored at the OO when a disturbance is applied to the DI	18
Figure 6	– CPIML inheritance hierarchy	19
Figure 7	– Example of a NLB external file	25
Figure 8	– Example of an external FB file	33
Figure A.1	– Conventional one-port S-parameters measurement	35
Figure A.2	– Two-port method for low impedance measurement	35
Figure A.3	– Two-port method for high impedance measurement	36
Figure A.4	– Example of I/V measurements to extract NLB	37
Figure A.5	– TLP method set-up (not powered IC)	38
Figure A.6	– Example of NLB extraction using standard TLP pulse	38
Figure A.7	– Graphs for identification of IC failure mechanism for destruction prediction	40
Figure B.1	– NLB model based on a R/I table	42
Figure B.2	– Example of a generic model architecture based on switches for NLB behavioural modelling	43
Figure B.3	– Example of core MOS large signal model of the GGNMOS	43
Figure C.1	– Use of the ICIM-CPI model for simulation	45
Figure C.2	– Power switch V/I curve for 50 ns-pulse width	46
Figure C.3	– Power switch ICIM-CPI model	46
Figure C.4	– Power switch ICIM-CPI model use for ESD protection design	49
Figure C.5	– Calculated voltage at Power switch pin for different ESD protection capacitor values	49
Figure C.6	– Voltage at Power switch pin for fog lamp left and right sides	50
Figure C.7	– Example of 32-bit microcontroller protection devices	50

Table 1 – Attributes of <i>Lead</i> tag in the <i>Lead_definitions</i> section	20
Table 2 – Compatibility between the <i>Mode</i> and <i>Type</i> fields for correct CPIML annotation.....	21
Table 3 – Definition of the <i>Lead</i> tag for <i>Nlb</i> section	22
Table 4 – Default values of <i>Unit_voltage</i> and <i>Unit_current</i>	24
Table 5 – Allowed file extensions for <i>Data_files</i>	24
Table 6 – Definition of the <i>Lead</i> tag in <i>Fb</i> section	26
Table 7 – <i>Table</i> sub-attributes definition	27
Table 8 – <i>Pulse_characteristics</i> parameters definition	27
Table 9 – <i>Test_criteria</i> parameters definition	28
Table A.1 – Example of FB data corresponding to Class E _{IC} failure.....	41
Table A.2 – Example of FB data corresponding to Class C _{IC} failure	41
Table C.1 – Synthesis Peak voltage and Energy for different pulse widths	46

INTERNATIONAL ELECTROTECHNICAL COMMISSION

EMC IC MODELLING –

Part 6: Models of integrated circuits for pulse immunity behavioural simulation – Conducted pulse immunity modelling (ICIM-CPI)

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62433-6 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this International Standard is based on the following documents:

CDV	Report on voting
47A/1090/CDV	47A/1098/RVC

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

This document has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 62433 series, published under the general title *EMC IC modelling*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

EMC IC MODELLING –

Part 6: Models of integrated circuits for pulse immunity behavioural simulation – Conducted pulse immunity modelling (ICIM-CPI)

1 Scope

The objective of this part of IEC 62433 is to describe the extraction flow for deriving an immunity macro-model of an Integrated Circuit (IC) against conducted Electrostatic Discharge (ESD) according to IEC 61000-4-2 and Electrical Fast Transients (EFT) according to IEC 61000-4-4.

The model addresses physical damages due to overvoltage, thermal damage and other failure modes. Functional failures can also be addressed.

This model allows the immunity simulation of the IC in an application. This model is commonly called "Integrated Circuit Immunity Model Conducted Pulse Immunity", ICIM-CPI.

The described approach is suitable for modelling analogue, digital and mixed-signal ICs. Several terminals of an IC can be part of a single model (e.g. input, output and supply pins). The implementation of the model is capable of representing the non-linear behaviour of overvoltage protection circuits.

The model can be implemented for the use in different software tools for circuit simulation in time-domain. The described modelling approach allows simulating device failure due to ESD or EFT at component and system level considering all components necessary for the immunity simulation of an IC, such as a PCB or external protection elements.

This document demonstrates, in detail, the construction of models in a defined XML-based format which is suitable for the exchange of models without any deeper knowledge of the semiconductor circuit. However, the model functionality can be implemented in different formats including, but not limited to, tables, SPICE[1] ¹ netlists, hardware description languages such as VHDL-AMS [2] and Verilog-AMS [3].

This document provides:

- the description of ICIM-CPI macro-model elements representing electrical, thermal or logical behaviour of the IC.
- a universal data exchange format based on XML.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 61000-4-2, *Electromagnetic compatibility (EMC) – Part 4-2: Testing and measurement techniques – Electrostatic discharge immunity test*

¹ Numbers in square brackets refer to the bibliography.

IEC 61000-4-4, *Electromagnetic compatibility (EMC) – Part 4-4: Testing and measurement techniques – Electrical fast transient/burst immunity test*

IEC 62215-3, *Integrated circuits – Measurement of impulse immunity – Part 3: Non-synchronous transient injection method*

IEC 62433-1, *EMC IC modelling – Part 1: General modelling framework*

IEC 62433-4:2016, *EMC IC modelling – Part 4: Models of integrated circuits for RF immunity behavioural simulation – Conducted immunity modelling (ICIM-CI)*

IEC 62615, *Electrostatic discharge sensitivity testing – Transmission line pulse (TLP) – Component level*

SOMMAIRE

AVANT-PROPOS	59
1 Domaine d'application	61
2 Références normatives	61
3 Termes, définitions, termes abrégés et conventions	62
3.1 Termes et définitions	62
3.2 Termes abrégés	65
3.3 Conventions	65
4 Philosophie	66
5 Structure du modèle ICIM-CPI	66
5.1 Généralités	66
5.2 PPN	68
5.2.1 Structure classique d'un PPN	68
5.2.2 Description du PDN	69
5.2.3 Description du NLB	70
5.3 Description du FB	71
6 Format CPIML	73
6.1 Généralités	73
6.2 Structure CPIML	74
6.3 Éléments globaux	74
6.4 Section Header	74
6.5 Section Lead_definitions	75
6.6 Section Macromodels	76
6.7 Section Validity	76
6.8 PDN	76
6.9 NLB	76
6.9.1 Généralités	76
6.9.2 Définitions d'attribut	77
6.9.3 Description des données	79
6.10 FB	80
6.10.1 Généralités	80
6.10.2 Définitions d'attribut	81
6.10.3 Description des données	85
Annexe A (informative) Extraction des composants de modèle	88
A.1 Généralités	88
A.2 Description du PPN	88
A.3 Extraction PDN	88
A.3.1 Généralités	88
A.3.2 Mesurage de paramètres S/Z/Y	88
A.3.3 Méthode conventionnelle à un accès	89
A.3.4 Méthode à deux accès pour le mesurage de faible impédance	89
A.3.5 Méthode à deux accès pour le mesurage d'impédance élevée	90
A.4 Extraction NLB	90
A.4.1 Généralités	90
A.4.2 Méthode d'essai d'impulsions de ligne de transmission (TLP)	91
A.5 Extraction du FB	93
A.5.1 Généralités	93

A.5.2	Exemples de données FB dans le cas d'un critère d'essai type = Classe E_IC	93
A.5.3	Exemples de données FB dans le cas de critères d'essai type = Classe C_IC	95
Annexe B (informative)	Techniques de mise en œuvre NLB dans un simulateur de circuit.....	97
B.1	Généralités	97
B.2	Modélisation NLB reposant sur un tableau R/I.....	97
B.3	Modélisation NLB reposant sur un modèle de commutateur	97
B.4	Modélisation NLB reposant sur un modèle de dispositif physique.....	98
Annexe C (informative)	Exemple de modèle ICIM-CPI	100
C.1	Généralités	100
C.2	Exemple de modèle ICIM-CPI de commutateur de puissance.....	100
C.2.1	Généralités	100
C.2.2	CPImodel.....	100
C.2.3	Utilisation du modèle ICIM-CPI	104
C.3	Exemple de modèle ICIM-CPI de microcontrôleur 32 bits	105
C.3.1	Généralités	105
C.3.2	CPImodel.....	106
Bibliographie.....		109
Figure 1 –	Structure du modèle ICIM-CPI.....	67
Figure 2 –	Exemple d'un modèle ICIM-CPI d'une carte électronique.....	68
Figure 3 –	Structure d'un PPN classique	69
Figure 4 –	Caractéristiques d'une tension de choc entrant dans la DI pendant un essai TLP	72
Figure 5 –	Exemple de défaut surveillé au niveau de l'OO lorsqu'une perturbation est appliquée à la DI.....	72
Figure 6 –	Hiérarchie d'héritage CPIML	73
Figure 7 –	Exemple de fichier externe NLB	80
Figure 8 –	Exemple de fichier FB externe	87
Figure A.1 –	Mesurage conventionnel de paramètres S à un accès.....	89
Figure A.2 –	Méthode à deux accès pour le mesurage de faible impédance	89
Figure A.3 –	Méthode à deux accès pour le mesurage d'impédance élevée	90
Figure A.4 –	Exemple de mesurage I/V pour extraire NLB.....	91
Figure A.5 –	Configuration d'un essai TLP (circuit intégré non alimenté).....	92
Figure A.6 –	Exemple d'extraction NLB à l'aide d'une impulsion TLP normalisée.....	92
Figure A.7 –	Graphiques pour l'identification du mécanisme de défaillance du circuit intégré pour prédire sa destruction.....	94
Figure B.1 –	Modèle NLB reposant sur un tableau R/I.....	97
Figure B.2 –	Exemple d'architecture de modèle générique reposant sur des commutateurs pour la modélisation comportementale NLB	98
Figure B.3 –	Exemple de modèle de signal fort MOS central du GGNMOS.....	99
Figure C.1 –	Utilisation du macromodèle ICIM-CPI pour la simulation	100
Figure C.2 –	Courbe V/I de commutateur de puissance pour une largeur d'impulsion de 50 ns.....	101
Figure C.3–	Modèle ICIM-CPI de commutateur de puissance.....	101

Figure C.4 – Utilisation du modèle ICIM-CPI de commutateur de puissance pour la conception de la protection contre les DES	104
Figure C.5 – Tension calculée au niveau de la broche de commutateur de puissance pour différentes valeurs de condensateur de protection contre les DES	104
Figure C.6 – Tension au niveau de la broche de commutateur de puissance pour le phare antibrouillard de gauche et de droite	105
Figure C.7 – Exemples de dispositifs de protection de microcontrôleur 32 bits	106
Tableau 1 – Attributs de la balise <i>Lead</i> dans la section <i>Lead_definitions</i>	75
Tableau 2 – Compatibilité entre les champs <i>Mode</i> et <i>Type</i> pour annotation CPIML correcte	75
Tableau 3 – Définition de la balise <i>Lead</i> pour la section <i>Nlb</i>	77
Tableau 4 – Valeurs par défaut des balises <i>Unit_voltage</i> et <i>Unit_current</i>	78
Tableau 5 – Extensions de fichier admises pour <i>Data_files</i>	79
Tableau 6 – Définition de la balise <i>Lead</i> dans la section <i>Fb</i>	81
Tableau 7 – Définition des sous-attributs de <i>Table</i>	82
Tableau 8 – Définition du paramètre <i>Pulse_characteristics</i>	82
Tableau 9 – Définition des paramètres <i>Test_criteria</i>	83
Tableau A.2 – Exemples de données FB qui correspondent à une défaillance de Classe C _{IC}	96

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

MODÈLES DE CIRCUITS INTÉGRÉS POUR LA CEM –

Partie 6: Modèles de circuits intégrés pour la simulation du comportement d'immunité aux impulsions – Modélisation de l'immunité aux impulsions conduites (ICIM-CPI)

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 62433-6 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'études 47 de l'IEC: Dispositifs à semiconducteurs.

Le texte de cette Norme internationale est issu des documents suivants:

CDV	Rapport de vote
47A/1090/CDV	47A/1098/RVC

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette Norme internationale.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 62433, publiées sous le titre général *Modèles de circuits intégrés pour la CEM*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives au document recherché. A cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer ce document en utilisant une imprimante couleur.

MODÈLES DE CIRCUITS INTÉGRÉS POUR LA CEM –

Partie 6: Modèles de circuits intégrés pour la simulation du comportement d'immunité aux impulsions – Modélisation de l'immunité aux impulsions conduites (ICIM-CPI)

1 Domaine d'application

La présente partie de l'IEC 62433 a pour objet de décrire la méthode d'extraction d'un macromodèle d'immunité d'un circuit intégré aux décharges électrostatiques (DES) conduites selon l'IEC 61000-4-2 et aux transitoires électriques rapides (TER) selon l'IEC 61000-4-4.

Le modèle couvre les dommages physiques dus à la surtension, les dommages thermiques et d'autres modes de défaillance. Les défaillances fonctionnelles peuvent également être traitées par ce modèle.

Ce modèle permet de simuler l'immunité du circuit intégré dans une application. Ce modèle est communément appelé "modèle d'immunité des circuits intégrés – immunité aux impulsions conduites" (ICIM-CPI – *integrated circuit immunity model conducted pulse immunity*).

L'approche décrite est adaptée à la modélisation des circuits intégrés analogiques, numériques et mixtes. Plusieurs bornes d'un circuit intégré peuvent faire partie intégrante d'un seul modèle (broches d'entrée, de sortie et d'alimentation, par exemple). Le modèle permet de représenter le comportement non linéaire des circuits de protection en surtension.

Le modèle peut être mis en œuvre pour une utilisation dans différents outils logiciels pour la simulation de circuit dans le domaine temporel. L'approche de modélisation décrite permet de simuler la défaillance d'un dispositif lors d'une décharge électrostatique (DES) ou de transitoires électriques rapides (TER) au niveau du composant ou du système, en prenant en considération tous les composants nécessaires à la simulation d'immunité d'un circuit intégré tels qu'un CCI ou des éléments de protection externes.

Le présent document présente, en détail, la construction des modèles dans un format XML bien défini et adapté à l'échange des modèles sans avoir une connaissance approfondie du circuit au niveau du semi-conducteur. Toutefois, la fonctionnalité du modèle peut être mise en œuvre dans différents formats, entre autres, des tableaux, des listes d'interconnexions (*netlist*) SPICE [1]¹, des langages de description de matériel (VHDL-AMS [2] et Verilog-AMS [3], par exemple).

Le présent document fournit:

- la description des éléments de macromodèle ICIM-CPI représentant le comportement électrique, thermique ou logique du circuit intégré.
- un format universel d'échange de données fondé sur le langage XML.

2 Références normatives

Les documents suivants sont cités dans le texte de sorte qu'ils constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

¹ Les chiffres entre crochets se réfèrent à la Bibliographie.

IEC 61000-4-2, *Compatibilité électromagnétique (CEM) – Partie 4-2: Techniques d'essai et de mesure – Essai d'immunité aux décharges électrostatiques*

IEC 61000-4-4, *Compatibilité électromagnétique (CEM) – Partie 4-4: Techniques d'essai et de mesure – Essais d'immunité aux transitoires électriques rapides en salves*

IEC 62215-3, *Circuits intégrés – Mesure de l'immunité aux impulsions – Partie 3: Méthode d'injection de transitoires non synchrones*

IEC 62433-1, *Modèles de circuits intégrés pour la CEM – Partie 1: Cadre de modèle général*

IEC 62433-4: 2016, *Modèles de circuits intégrés pour la CEM – Partie 4: Modèles de circuits intégrés pour la simulation du comportement d'immunité aux radiofréquences – Modélisation de l'immunité conduite (ICIM-CI)*

IEC 62615, *Essai de sensibilité aux décharges électrostatiques – Impulsion de ligne de transmission (TLP) – Niveau composant*